

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-69509

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl.⁵
H 01 L 29/784

識別記号
9168-4M

庁内整理番号
9168-4M

F I

H 01 L 29/ 78

技術表示箇所
3 2 1 J

審査請求 未請求 請求項の数 8(全 10 頁)

(21)出願番号 特願平4-238931

(22)出願日 平成4年(1992)8月15日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 桑原 正志

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

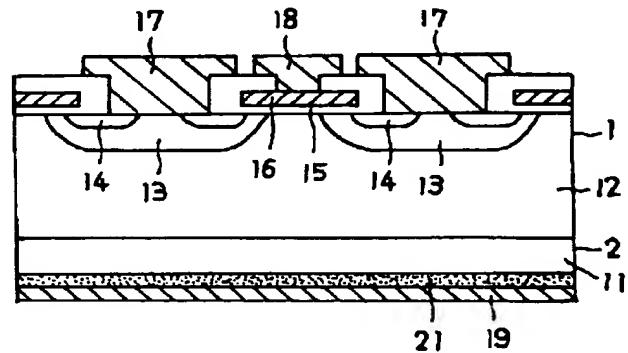
(74)代理人 弁理士 竹村 審

(54)【発明の名称】 伝導度変調型半導体装置及びその製造方法

(57)【要約】

【目的】 オン電圧とターンオフ時間のトレードオフを改善でき安定した素子特性が得られる新規なアノード構造を有する高耐圧の伝導変調型半導体装置およびその製造方法を提供する。

【構成】 N型シリコン半導体基板1をドレイン領域12とし、その表面にアノード領域11を気相成長させる。さらにこのアノード領域11に高濃度の多結晶シリコンからなるP+アノード領域21を形成する。アノード電極19は、この領域21上に形成される。ドレイン領域でのキャリアアライタイムが長くてもキャリアの注入量を少なく抑えることができる。またアノード領域とアノード電極とのコンタクトを良好にすることができます。



【特許請求の範囲】

【請求項1】 半導体基板と、
 前記半導体基板に形成された第1導電型のドレイン領域と、
 前記ドレイン領域内に形成され、前記半導体基板の第1の主面に露出している第2導電型のベース領域と、
 前記ベース領域内に形成され、前記半導体基板の前記第1の主面に露出している第1導電型のソース領域と、
 前記半導体基板の前記第1の主面上に前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜の上に形成されたゲートと、
 前記ソース領域及び前記ベース領域上に跨がって形成され、このソース領域とベース領域とを短絡するソース電極と、
 前記半導体基板の第2の主面上に形成され、前記ドレイン領域と接している第2導電型の低不純物濃度アノード領域と、
 前記低不純物濃度アノード領域上に形成された多結晶シリコンからなる第2導電型の高不純物濃度アノード領域と、
 前記高不純物濃度アノード領域上に形成されたアノード電極とを備えていることを特徴とする伝導度変調型半導体装置。

【請求項2】 半導体基板と、
 前記半導体基板に形成された第1導電型のドレイン領域と、
 前記ドレイン領域内に形成され、前記半導体基板の第1の主面に露出している第2導電型のベース領域と、
 前記ベース領域内に形成され、前記半導体基板の前記第1の主面に露出している第1導電型のソース領域と、
 前記半導体基板の前記第1の主面上に前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜の上に形成されたゲートと、
 前記ソース領域及び前記ベース領域上に跨がって形成され、このソース領域とベース領域とを短絡するソース電極と、
 前記半導体基板の第2の主面上に露出し、前記ドレイン領域内に形成された複数の領域からなる第2導電型の低不純物濃度アノード領域と、
 前記低不純物濃度アノード領域上に形成された多結晶シリコンからなる第2導電型の高不純物濃度アノード領域と、
 前記高不純物濃度アノード領域上に形成されたアノード電極とを備えていることを特徴とする伝導度変調型半導体装置。

【請求項3】 前記ドレイン領域と前記低不純物濃度アノード領域の間には第1導電型のバッファ層が形成されている事を特徴とする請求項1又は請求項2に記載の伝

導度変調型半導体装置。

【請求項4】 前記低不純物濃度アノード領域の不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の範囲にあることを特徴とする請求項1又は請求項2に記載の伝導度変調型半導体装置。

【請求項5】 前記低不純物濃度アノード領域の不純物濃度を下げるこによって、そのターンオフタイムを短くし、この不純物濃度を上げることによってそのオン電圧を下げるこを特徴とする請求項1乃至請求項4のいずれかに記載の伝導度変調型半導体装置。

【請求項6】 前記低不純物濃度アノード領域の前記高不純物濃度アノード領域に対する面積比を大きくする事によって、そのターンオフタイムを短くし、この面積比を小さくすることによってそのオン電圧を下げるこを特徴とする請求項1乃至請求項4のいずれかに記載の伝導度変調型半導体装置。

【請求項7】 第1導電型のドレイン領域となる半導体基板内に、この半導体基板の第1の主面に露出している第2導電型のベース領域を形成する工程と、

20 前記ベース領域内に、前記半導体基板の第1の主面上において、前記ソース領域と前記ドレイン領域に跨がり、かつ、前記ベース領域の上にゲート絶縁膜を形成する工程と、
 前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域上に、前記ゲート絶縁膜を介してゲートを形成する工程と、
 前記半導体基板の第2の主面上に第2導電型の低不純物濃度アノード領域を気相成長により形成する工程と、
 前記低不純物濃度アノード領域上に多結晶シリコンからなる高不純物濃度アノード領域を形成する工程とを備えていることを特徴とする伝導度変調型半導体装置の製造方法。

【請求項8】 第1導電型のドレイン領域となる半導体基板内に、この半導体基板の第1の主面に露出している第2導電型のベース領域を形成する工程と、

前記ベース領域内に、前記半導体基板の第1の主面上において、前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域上にゲート絶縁膜を形成する工程と、
 前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域上に、前記ゲート絶縁膜を介してゲートを形成する工程と、
 前記半導体基板の第2の主面上に不純物を拡散して、前記ドレイン領域上に第2導電型の低不純物濃度アノード領域を形成する工程と、
 前記低不純物濃度アノード領域の上に多結晶シリコンからなる高不純物濃度アノード領域を形成する工程とを備えていることを特徴とする伝導度変調型半導体装置の製

造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電力用半導体装置に係り、とくに1200V以上の高耐圧IGBT(Insulated Gate Bipolar Transistor)に関するものである。

【0002】

【従来の技術】IGBTは、図12に代表されるユニットセル断面構造を有するトランジスタであり、上部にMOSFET構造、下部にバイポーラトランジスタ構造部を有する複合構造ととらえることができる。この構造及び基本動作は、特開昭57-120369に詳述されている。この図を参照し、シリコンウェーハに形成されたNチャネルIGBTを例にしてその構造及び動作を説明する。このウェーハに含まれるシリコン半導体基板1は、厚さ約150μm、不純物濃度約10²⁰cm⁻³のP+アノード領域11からなり、その第1の主面上にN-ドレイン領域12が形成された半導体層2が積層されている。このN-ドレイン領域12中には、1対のP型ベース領域13が、さらに、このP型ベース領域13中には、N+ソース領域14が通常の不純物拡散法により形成されている。

【0003】このドレイン領域が形成された半導体層2の表面には、薄いゲート酸化膜15を介してポリシリコンゲート16が設けられている。ソース領域14とベース領域13とをこの半導体層2の表面で短絡するように金属ソース電極17が設けられ、ポリシリコンゲート16に接続して金属ゲート電極18が形成され、P+アノード領域11に接続して、半導体基板1の第2の主面上に金属アノード電極19が設けられている。また、P+アノード領域11とN-ドレイン領域12の間にN+バッファ層を設けた構造も一般に使われている。これは、アノード領域からの正孔の流入を抑えると共に半導体層2の表面から拡がる空乏層を抑える事もでき、このバッファ層によってN-ドレイン領域12は薄くすることができる。

【0004】次に、NチャネルIGBTの一般的な製造方法について説明すると、P+半導体基板1にN-ドレイン領域12(または、N+バッファ層に続いてN-ドレイン領域12)気相成長させて、P+-N-(または、P+-N+-N-)ウェーハを形成する。その後前述したように、N-ドレイン領域12中にP型ベース領域を選択的に形成し、このP型ベース領域中に2つのN型ソース領域14を形成していわゆる2重拡散型にする。前記P型ベース領域13及びN型ソース領域14は、その端部をN-ドレイン領域12の表面に露出するが、各端部は、絶縁膜22で被覆され、この絶縁膜22内の各ベース領域13間の領域上にゲート酸化膜15を介してポリシリコンゲート16を形成する。このポリシリコンゲート16上の絶縁膜22を部分的に除去して

きる前記ポリシリコンゲート16の露出部にアルミニウムなどを堆積して金属ゲート電極18を形成する。また、選択的に被覆した前記絶縁膜22間に露出した前記P型ベース領域13及びN型ソース領域14には、金属ソース電極17が形成される。アノード領域11となるP+半導体基板1の第2の主面上には、金属アノード電極9が形成される。

【0005】このように形成した半導体装置は、ソース電極17を接地し、アノード電極19に正電圧が印加された状態で、ゲート16を負電位に保てば、半導体装置は、阻止状態になる。ゲート16に正電圧を印加すれば、一般のMOSFETと同様にPベース領域13の表面に反転チャネル領域が形成され、ソース領域14からチャネルを通してドレイン領域12の表面部分に電子が流入し、電子の蓄積層が形成される。電子はさらにソースアノード間に印加されている電圧によってドレイン領域12中をアノード電極19側へ走行していき、P+アノード領域11とN-ドレイン領域12もしくはN+バッファ層の間を順バイアス状態に至らしめる。これによりP+アノード領域11からN-ドレイン領域12へ正孔の注入が生じ、N-ドレイン領域12中の伝導度が変調されると共に素子は通電状態となる。この状態でゲート電極18を零もしくは負電位に戻せばチャネルが閉じ、該素子は再び阻止状態に戻る。

【0006】一般のMOSFETではドレイン領域に電子しか注入されないため、このドレイン領域の濃度が低い場合や、ドレイン領域が厚い場合には、ドレイン領域が電子の流れにとって、極めて大きい抵抗となり、これがMOSFETのオン抵抗最大成分であった。一方、IGBTでは、前記ドレイン領域が伝導度変調を受けるのでその抵抗成分は極めて小さくなり、このドレイン領域の濃度が低くかつこの領域が厚い場合でもオン抵抗の小さい半導体装置となる。

【0007】

【発明が解決しようとする課題】前記IGBTはアノード領域からドレイン領域中に注入した少数キャリア(正孔)の一部は過剰少数キャリアとしてドレイン領域中に蓄積されてしまう。従って、このIGBTをオフするためにゲート印加電圧を零にしてチャネルを閉じて電子の流れを止めても蓄積された少数キャリア(正孔)が排出されるまで、このIGBTはオフ状態にならない。さらに、このIGBTではオフ時にドレイン領域に存在する電子がアノード領域を通過する際にアノード領域から新たな正孔の注入を誘起し、結果的にはターンオフ時間が極めて長くなる。そのため、IGBTでは一般的なMOSFETと比べて約10倍の電流を流すことができるが、ターンオフ時間は、逆に10倍以上長くなる欠点を持っている。このようなIGBTをインバータ等のスイッチング用途へ応用する場合、長いターンオフ時間は、スイッチング周波数を高められないためその応用範囲が

極めて限られてくる。

【0008】前記IGBTのターンオフ時間を改善する方法としてキャリアライフトайムを短くする手法が提案されている。例えばAu、Pt等の重金属拡散法、もしくは中性子線、ガンマ線、電子線などの放射線などを照射する方法を使用してキャリアライフトайムを小さくできる。しかし、ターンオフ時間は改善されるが、同時に伝導度変調度合いをも低下させる結果となり、このIGBTの最大の利点である低オン抵抗特性が悪化する。また、別の方としてアノードからの正孔注入を抑えるため、P+アノード領域の不純物濃度を下げたり、N+バッファ層の不純物濃度を上げるなどの手法も考えられる。しかし、P+アノード領域の不純物濃度を下げるとき金属電極との接続抵抗が大きくなり、ばらつきも大きくなるため、この抵抗が素子のオン抵抗を悪化させてしまう。

【0009】また、N+バッファ層については、現状の気相成長法では不純物濃度を上げると制御性が下がり、安定したバッファ層が形成されない。すなわち、IGBT製造工程での熱履歴でN-ドレイン層に拡散し、最終的には不純物濃度が下がり、バッファ層が厚くなつて期待される効果は得られなくなる。さらに、1200V以上の高耐圧になると非常に低不純物濃度(約 $5 \times 10^{13} / \text{cm}^3$)で厚い(100μm以上)N-ドレイン領域が必要となり、現状の気相成長法では安定的に製造することは難しい。この様に、N-ドレイン領域がまた、低濃度のN-半導体基板の一方の正面に、二重拡散型DMOS構造を形成し、もう一方の正面に、P+アノード領域をイオン注入で形成する構造が、特開平2-7569号公報に開示されているが、このような構造ではP+アノード領域が1μm程度の非常に浅い接合になるため、表面状態の影響を受け易くなり、安定した素子特性を得ることができない。本発明は、オン電圧とターンオフ時間のトレードオフを改善でき安定した素子特性が得られる新規なアノード構造を有する高耐圧半導体装置を提供する事を目的としている。

【0010】

【課題を解決するための手段】低不純物濃度のドレイン領域上の低不純物濃度のアノード領域上に高不純物濃度の多結晶シリコン層を成長させ、これを高不純物濃度のアノード領域とすることを特徴としている。すなわち、本発明の伝導変調型半導体装置は、半導体基板と、前記半導体基板に形成された第1導電型のドレイン領域と、前記ドレイン領域内に形成され、前記半導体基板の第1の正面に露出している第2導電型のベース領域と、前記ベース領域内に形成され、前記半導体基板の前記第1の正面に露出している第1導電型のソース領域と、前記半導体基板の前記第1の正面に前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成されたゲー

トと、前記ソース領域及び前記ベース領域上に跨がって形成され、このソース領域とベース領域とを短絡するソース電極と、前記半導体基板の第2の正面に形成され、前記ドレイン領域と接している第2導電型の低不純物濃度アノード領域と、前記低不純物濃度アノード領域上に形成された高不純物濃度の多結晶シリコンからなる第2導電型の高不純物濃度アノード領域と、前記高不純物濃度アノード領域上に形成されたアノード電極とを備えていることを第1の特徴としている。

【0011】また、半導体基板と、前記半導体基板に形成された第1導電型のドレイン領域と、前記ドレイン領域内に形成され、前記半導体基板の第1の正面に露出している第2導電型のベース領域と、前記ベース領域内に形成され、前記半導体基板の前記第1の正面に露出している第1導電型のソース領域と、前記半導体基板の前記第1の正面に前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲートと、前記ソース領域及び前記ベース領域上に跨がって形成され、このソース領域とベース領域とを短絡するソース電極と、前記半導体基板の第2の正面に露出し、前記ドレイン領域内に形成された複数の領域からなる第2導電型の低不純物濃度アノード領域と、前記低不純物濃度アノード領域上に形成された高不純物濃度の多結晶シリコンからなる第2導電型の高不純物濃度アノード領域と、前記高不純物濃度アノード領域上に形成されたアノード電極とを備えていることを第2の特徴としている。前記ドレイン領域と前記低不純物濃度アノード領域の間には、第1導電型のバッファ層を形成することができる。前記低不純物濃度アノード領域の不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の範囲にすることが適当である。

【0012】また、前記低不純物濃度アノード領域の不純物濃度を下げるによつて、そのターンオフタイムを短くし、この不純物濃度を上げることによつてそのオン電圧を下げる特徴とする。さらに、前記低不純物濃度アノード領域の前記高不純物濃度アノード領域に対する面積比を大きくする事によつて、そのターンオフタイムを短くし、この面積比を小さくすることによつてそのオン電圧を下げる特徴とする。本発明の伝導度変調型半導体装置の製造方法は、第1導電型のドレイン領域となる半導体基板内に、この半導体基板の第1の正面に露出している第2導電型のベース領域を形成する工程と、前記ベース領域内に、前記半導体基板の第1の正面に露出している第1導電型のソース領域を形成する工程と、前記半導体基板の第1の正面に、前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域の上にゲート絶縁膜を形成する工程と、前記ゲート領域の上に、前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域の上にゲートを形成する工程と、前記半導体基板の第2の正面に第2導電型の低不純物濃度アノード

領域を気相成長により形成する工程と、前記低不純物濃度アノード領域の上に多結晶シリコンからなる高不純物濃度アノード領域を形成する工程とを備えていることを第1の特徴としている。

【0013】また、第1導電型のドレイン領域となる半導体基板内にこの半導体基板の第1の主面に露出している第2導電型のベース領域を形成する工程と、前記ベース領域内に前記半導体基板の第1の主面に露出している第1導電型のソース領域を形成する工程と、前記半導体基板の第1の主面上に、前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域の上にゲート絶縁膜を形成する工程と、前記ゲート領域の上に、前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域の上にゲートを形成する工程と、前記半導体基板の第2の主面上に不純物を拡散して、前記ドレイン領域上に第2導電型の低不純物濃度アノード領域を形成する工程と、前記低不純物濃度アノード領域の上に多結晶シリコンからなる高不純物濃度アノード領域を形成する工程とを備えていることを第2の特徴としている。

【0014】

【作用】IGBTが形成されたウェーハの一方の主面の低不純物濃度アノード領域上に高濃度の不純物をドーピングした多結晶シリコンの高不純物濃度アノード領域を形成することにより、アノード領域からドレイン領域への正孔の注入量を適正化し、ライフタイムコントロールが不要で、かつ、金属アノード電極との接合抵抗が小さく、低オン電圧と高速スイッチング特性が安定的に実現できる。

【0015】

【実施例】図1乃至図4を参照して本発明の第1の実施例のNチャネル型IGBTを説明する。図1は、IGBTの1素子を示す断面図であり、図2及び図3は、その製造工程断面図、図4は、その平面図である。ウェーハは、N-シリコン半導体基板1からなるN-ドレイン領域12と気相成長法により形成した半導体層2からなるP-アノード領域11とから構成されている。ウェーハの厚さは、250～300μm程度であり、そのうち、P-アノード領域11は約10μm以下の厚さがある。N-ドレイン領域12中には、前記半導体基板1の第1の主面（ウェーハの第1の主面でもある）に隣接して1対のP型ベース領域13が形成され、さらに、このP型ベース領域13中には、やはり前記第1の主面に隣接してN+ソース領域14が、周知の不純物拡散領域により形成されている。この第1の主面上には、薄いゲート酸化膜15を介して多結晶シリコンのゲート16が配設されている。この多結晶シリコンゲート16は、1対のソース領域14とベース領域13との間を跨ぐように配置されている。多結晶シリコンゲート16に接続して金属ゲート電極18が形成され、ソース領域14とベース領域13とを短絡するように金属ソース電極17が前記第

1の主面上に設けられている。

【0016】前記第1の主面上のゲート酸化膜15は、SiO₂などの絶縁膜22によって被覆されている。一方、半導体基板1の第2の主面上には、不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度のP-アノード領域11の気相成長層が形成されている。そして、この気相成長層の表面に本発明の特徴であるP型不純物が高濃度にドープされた多結晶シリコンのP+アノード領域21が形成されている。このP+アノード領域21の不純物濃度は、大体 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の範囲にあり、その厚さは、1μm程度以下で良く、0.1～1.0μm程度が最も適当である。N-ドレイン領域12の不純物濃度は、 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-3}$ 程度である。P+アノード領域21の上にアルミニウムなどの金属アノード電極19が形成される。このように、P型アノード領域11の不純物濃度を可能な限り低くしておき、その表面に高不純物濃度の多結晶シリコン層からなるP+アノード領域21を形成することにより、金属アノード電極19とのコンタクトを良好にすることができます。また結晶性がないので正孔（ホール）の発生が少なく、したがって、N-ドレイン領域12への正孔供給が過剰になることはない。さらに、多結晶シリコンは、不純物を高濃度にドープすることができるので、オン抵抗を小さくするなどその特性を自由に調整することができる。

【0017】N-ドレイン領域12のキャリアライフタイムが長いままでも、正孔の注入量を少なく抑えるために良好な高速スイッチング特性が得られる。N-ドレイン領域12でのキャリアライフタイムが長く、再結合中心が少ないためにP-アノード領域11から注入された正孔は効率良く導電度変調に寄与するためにオン電圧も低くなり、低オン電圧特性と高速スイッチング特性を兼ね備えたIGBTを提供する事ができる。図4は、図1の電極部分を省略した平面図（この図のE-E'部の断面が図1である）であるが、前記IGBTを構成する複数の素子が形成されたウェーハの一部が示されている。ウェーハは、このIGBTが形成されたチップ毎に分離切断されて製品化される。このチップを適宜組合せて、例えば、インバータを形成する。図の点線で示される範囲Dは、このこれら素子の1素子分を表わしている。すなわち、1つのゲート16に2つの素子が形成されている。複数のゲート16は、1つに接続され、その接続配線は、絶縁膜を介して半導体基板1の上に形成され、ベース領域13とソース領域14とを短絡して形成された金属ソース電極も、図示はしないが、各素子に共通に絶縁膜を介して半導体基板1の上に形成されている。

【0018】このソース電極は、これら素子の上に絶縁膜を介して形成されている。ソース電極は、素子部の大半を占め、前記接続配線は、全ゲートの内の幾つかのゲ

ートをまとめ、これを1つの配線とし、これらを幾つか形成してなるので、この接続配線が素子部上に占める割合は、前記ソース電極よりかなり小さい。ついで、図2及び図3を参照して第1の実施例の製造方法を説明する。まず、リン等のN型不純物をドープしたN-シリコン半導体基板1の第2の主面4に $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度の比較的低濃度のボロンをドーピングしたP-アノード領域11となる半導体層2を気相成長法により約 $10 \mu\text{m}$ 堆積する。次にN-ドレイン領域12となる半導体基板1の厚さを調整するために、半導体基板1の第1の主面3を鏡面研磨して半導体基板1と気相成長法による半導体層2とから構成されるウェーハを形成する。その後、前記第1の主面3のN-ドレイン領域12上全面にシリコン酸化膜15を形成し、この酸化膜15上に多結晶シリコン膜16を形成する。これらの酸化膜15、多結晶シリコン膜16をバターニングして、ゲート酸化膜15、ゲート16を形成し、このゲート16をマスクにして、ボロン等のP型不純物を、例えば、イオン注入法によりドープし、拡散することによって前記第1の主面に露出するP型ベース領域13を選択的に形成する。

【0019】ベース領域13は、ゲート16の両端に向い合うように1対形成され、その間の領域の上にゲート16が配置されることになる。さらに、P型ベース領域13内にゲート16や選択的に形成した、例えば、レジストや熱酸化膜などの絶縁膜をマスクにして砒素、リン等のN型不純物を、例えば、イオン注入によってドープし、拡散して前記第1の主面に露出するN型ソース領域14を形成する。このN型ソース領域14は、ゲート16の両端に向い合うように前記ベース領域内に1対形成され、その間の領域の上にゲート16が配置されることになる。次に、半導体基板1の第1の主面3の全面及び第2の主面4上に形成された半導体層2の露出面の全面に、例えば、シリコン酸化膜などからなる絶縁膜22、23を形成する。その後、半導体層2のP型アノード領域11側の絶縁膜23を除去し、ボロン等のP型不純物を $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度にドーピングした多結晶シリコンからなるP+アノード領域21を低濃度のP-アノード領域11上に気相成長法などにより形成する。次に、反対側の前記第1の主面の絶縁膜22を選択的に除去して、P型ベース領域13、N型ソース領域14、ゲート16を部分的に露出する。そして、Al等の金属を全面に形成した後バターニングし、ゲート電極18及びソース電極17を形成する。

【0020】また、アノード領域側にはAl等の金属膜を形成し、これをアノード電極19とする。この後、所定の大きさに分離切断されてチップが完成する。このチップには、前述した素子が複数形成されているものであり、同じ形状の素子が繰り返し形成されている。図1には、4素子が形成されている。多数の素子を同時に形成

するには、図4に示すように、N-ドレイン領域11に、複数のP型ベース領域13を形成する。ついで、各P型ベース領域13には、それぞれ1対のN+ソース領域14が形成される。そして、隣接する2つのベース領域13間の領域上にゲート16を形成する。ゲート16は、この領域は勿論、前記隣接する2つのベース領域13の互いに向い合う端部やこの2つのベース領域のそれぞれに形成されたソース領域14の互いに向い合う端部を被覆している。ゲート16は、全ての隣接するベース領域13間に形成しているが、各ゲート16は、他の領域へ延在しており、そこで1つに結合している。

【0021】以上のように、従来は、ドレイン領域を気相成長で形成していたので、現在の気相成長法では量産が不可能なほど低い不純物濃度であり、また、厚くもあるドレイン領域を有する高耐圧IGBTを形成することは不可能であった。本発明では、この実施例で説明したように、ドレイン領域をシリコン単結晶より切り出した半導体基板で形成するので、不純物濃度や各領域の厚さを自由に設計でき、1700Vに達する高耐圧のものが得られる。さらに、ウェーハコストも気相成長法では成長させる厚さに比例して上昇するが、本発明では、あまり厚くする必要のないアノード領域に気相成長法を適用するために、例えば、ドレイン領域に $100 \mu\text{m}$ 程度の厚さが必要な1200V系では、従来に比べて2分の1以下のコストで実現できる。

【0022】次に、図5及び図6を参照して第2の実施例を説明する。図5は、この実施例の製造工程断面図であり、図6は、その完成された断面図である。ウェーハは、N-シリコン半導体基板1からなるN-ドレイン領域12と気相成長法により形成した半導体層2からなるP-アノード領域11とから構成されている。P-アノード領域11は、複数の島状に形成されている。P-アノード領域11は約 $10 \mu\text{m}$ 以下の厚さがある。N-ドレイン領域12中には、前記半導体基板1の第1の主面に隣接して1対のP型ベース領域13が形成されさらに、このP型ベース領域13中には、やはり前記第1の主面に隣接してN+ソース領域14が形成されている。この第1の主面上には、薄いゲート酸化膜15を介して多結晶シリコンのゲート16が配設されている。この多結晶シリコンゲート16は、1対のN型ソース領域14とP型ベース領域13との間を跨ぐように配置されている。多結晶シリコンゲート16に接続して金属ゲート電極18が形成され、N型ソース領域14とP型ベース領域13とを短絡するように金属ソース電極17が前記第1の主面上に設けられている。前記第1の主面上のゲート酸化膜15は、絶縁膜22によって被覆されている。P-アノード領域11及びN-ドレイン領域12の表面上に、本発明の特徴であるP型不純物が高濃度にドープされた多結晶シリコンのP+アノード領域21が形成されている。

【0023】前述のように、P型アノード領域11は、島状に形成されているので、N-ドレイン領域12は、部分的にP+アノード領域21に接している。P+アノード領域21の上にアルミニウムなどの金属アノード電極19が形成される。このように、島状に形成されたP-アノード領域11の不純物濃度を可能な限り低くしておき、その表面に高不純物濃度の多結晶シリコン層からなるP+アノード領域21を形成することにより、金属アノード電極19とのコンタクトを良好にすることができる。この実施例のようにP-アノード領域11が島状に形成されている場合は、不純物量が少ないので、正孔の供給量は少なくすることができ、この領域の形状を変えることによって正孔の供給量を調整することができる。

【0024】次に、第2の実施例の製造方法を説明する。まず、N-シリコン半導体基板1の第2の主面4に、例えば、シリコン酸化膜などの絶縁膜23を形成し、これをマスクパターンを用いて選択的にエッチング除去する。この選択的にエッチングされた絶縁膜23をマスクとして、ボロンをイオン注入してP-領域24を島状に形成する。この島状部分を熱処理してこの注入されたイオンを熱により拡散して約 $10\mu\text{m}$ 厚のP-アノード領域11を形成する。その後、第1の主面3のN-ドレイン領域12上全面にシリコン酸化膜15を形成し、この酸化膜15上に多結晶シリコン膜16を形成する。これらの酸化膜15、多結晶シリコン膜16をパターニングしてゲート酸化膜15、ゲート16を形成する。そして、ボロン等のP型不純物をN-ドレイン領域12に拡散することによって前記第1の主面に露出するP型ベース領域13を選択的に形成する。P型ベース領域13は、ゲート16の両端に向い合うように1対形成され、その間の領域の上にゲート16が配置されることになる。さらに、P型ベース領域13内に、砒素、リン等のN型不純物をN-ドレイン領域12に拡散して前記第1の主面に露出するN型ソース領域14を形成する。

【0025】このN型ソース領域14は、ゲート16の両端に向い合うように前記P型ベース領域内に1対形成され、その間の領域の上にゲート16が配置されることになる。次に、半導体基板1の第1の主面の全面に絶縁膜22を形成する。その後、アノード領域側の絶縁膜23を除去し、ボロン等のP型不純物を $1\times10^{18}\sim1\times10^{20}\text{cm}^{-3}$ 程度にドーピングした多結晶シリコンからなるP+アノード領域21を気相成長法などにより形成する。次に、反対側の前記第1の主面の絶縁膜22を選択的に除去して、P型ベース領域13、N型ソース領域14、ゲート16を部分的に露出する。そして、Al等の金属を全面に形成した後パターニングし、ゲート電極18及びソース電極17を形成する。また、アノード領域側にはAu等のアノード電極19を形成する。この後、所定の大きさに分離切断されてチップが完成する。

【0026】次に、図7を参照して第3の実施例を説明する。この実施例は、IGBTの製造方法に特徴がある。まず、N-シリコン半導体基板1の第2の主面からその内部に、例えば、ボロンをイオン注入し、約 1100^\circ C で10時間程度熱拡散処理して、前記第2の主面からの深さが約 $10\mu\text{m}$ で不純物濃度が $1\times10^{16}\text{cm}^{-3}$ 程度のP-アノード領域11を形成する。他の領域は、N-ドレイン領域12として用いられる。この第2の主面の上に、さらに、約 $1\mu\text{m}$ の高濃度に不純物をドープした多結晶シリコン膜を堆積し、これをP+アノード領域21とする。N-ドレイン領域12には、半導体基板1の第1の主面に隣接して、P型ベース領域13及びN+ソース領域14が形成されており、その第1の主面上には、ゲート酸化膜15を介して多結晶シリコンゲート16が形成されている。この実施例では、気相成長を利用しないので、 1200V 以上の高耐圧IGBTを容易にしかも安定的に製造することができる。前記P+アノード領域21の上には、例えば、Auなどからなるアノード電極19を形成する。

【0027】次ぎに、図8を参照して第4の実施例を説明する。図は、半導体基板の断面図を示している。この実施例では、N-シリコン半導体基板24とP-シリコン半導体基板25とを張合わせることによって、上はを形成することに特徴がある。N-シリコン半導体基板24とP-シリコン半導体基板25の向い合ういずれか1つの面もしくは両方の面を鏡面研磨して鏡面を形成する。両半導体基板の鏡面同志を重ね合わせ、約 1100^\circ C で約1時間熱処理して両者を接合する。この接合により両者の結晶格子は、ほぼ一致する。N-半導体基板24を約 $200\sim250\mu\text{m}$ になるまで鏡面研磨してN-ドレイン領域12を形成し、続いて、P-半導体基板25を鏡面研磨して厚さ $10\mu\text{m}$ 程度のP-アノード領域11を形成する。IGBTとしての他の構成要素は、前述した実施例と同じである。気相成長法を用いないので、製造工程が簡単になる上、各領域の不純物濃度の調整は容易になる。

【0028】次ぎに、図9を参照して第5の実施例を説明する。図は、N-ドレイン領域12と、P-アノード領域11との間にN+バッファ層20が形成されているIGBTを部分的に示す断面図である。N-ドレイン領域12は、N-シリコン半導体基板1に形成されている。そして、N+バッファ層20およびP-アノード領域11は、気相成長法により、順次N-ドレイン領域12上に形成される。N+バッファ層20は、アノード領域からの正孔の流入を抑えると共にN-ドレイン領域12の表面から拡がる空乏層を抑えることができるので、N-ドレイン領域12を薄くする事ができ、ターンオフ時間が改善される。また、P-アノード領域11の不純物濃度を多少上げても素子の特性には格別の変化は認められないで、製造上でも有利になる。このN+バッ

ア層20は、この実施例では、気相成長法を用いたが、他の方法でも形成することができる。例えば、N-シリコン半導体基板1のP型ベース領域13やN+ソース領域14が形成されていない方の主面に不純物をイオン注入し、その後、熱処理を行ってN+バッファ層20を形成する。

【0029】次ぎに、図10を参照して本発明におけるP-アノード領域11の不純物濃度の影響について説明する。図は、図1に示すIGBT素子のP-アノード領域11の不純物濃度を変化させたときのオン電圧とターンオフタイムとの関係を示す特性図である。縦軸にゲート電圧が15Vの場合のオン電圧(V)をとり、横軸にターンオフタイム(μs)をとる。図のように、P-アノード領域11の不純物濃度を $5 \times 10^{15} \sim 5 \times 10^{18} \text{ cm}^{-3}$ の範囲で変化させる。この不純物濃度が下がるとターンオフタイムは早くなるが、オン電圧は高くなる。逆に不純物濃度が上がるとオン電圧は下がるが、ターンオフタイムは長くなってしまう。通常のインバータの使用周波数は、数k～数10kHzであり、素子の発熱を抑えるために、ターンオフタイムは、1μs以下であることが求められる。オン電圧も4V以下が望ましい。したがって、P-アノード領域11の不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度が適当である。この範囲で不純物濃度を適宜変えることによりオン電圧とターンオフタイムをコントロールすることができる。

【0030】次ぎに、図11を参照して本発明におけるP+アノード領域21の影響について説明する。図は、図1及び図6に示すIGBT素子のP+アノード領域21とP-アノード領域11との面積比を変化させたときのオン電圧とターンオフタイムとの関係を示す特性図である。ここで、P+アノード領域21は、全く形成しないか、もしくは、チップ全面に形成している。縦軸にゲート電圧が15Vの場合のオン電圧(V)をとり、横軸にターンオフタイム(μs)をとる。図において、本発明の特性曲線中のA点は、P+アノード領域21が無くP-アノード領域11がN-ドレイン領域全面に形成されている場合、すなわち、P+アノード領域/P-アノード領域の面積比が0/1の場合、B点は、P+アノード領域21とP-アノード領域11との面積比が等しい場合(1/1)、すなわち両アノード領域11、21がN-ドレイン領域12全面に積層している場合、そしてC点は、P-アノード領域11が無い場合、すなわち、P+アノード領域21/P-アノード領域11の面積比が1/0で、P+アノード領域21がN-ドレイン領域全面に形成されている場合の特性をそれぞれ示している。

【0031】このときのP-アノード領域11の不純物濃度は、約 $5 \times 10^{16} \text{ cm}^{-3}$ に一定にしている。P+アノード領域21が少ないと、オン電圧は高くなり、特性のばらつきも大きくなる。逆にP+アノード領域のみに

なると、オン電圧は、低くなるが、ターンオフタイムは、長くなつて、高周波対応ができなくなる。0.4μs程度になる。したがつて、オン電圧が低く、ターンオフタイムを0.4μsより短くするには、P+アノード領域21/P-アノード領域11の面積比を大体1/1よりも小さくすれば良い。以上、前述の実施例では、NチャネルIGBTについて説明したが、本発明では、PチャネルIGBTを用いることもできる。ウェーハのコストは、気相成長法で成長させる厚さに比例して上昇するが、本発明では、あまり気相成長法による半導体層を厚くする必要がないために、100μmの厚さが必要な1200V系では2分の1以下のコストで実現する。本発明に用いるアノード電極19の材料は、Ti、Al、Au、Pt、W、Moなどを用いる。Alなどを電極に用いる場合は、電極を熱処理して安定化する必要がある。また、ゲート材料は、多結晶シリコンに限らず、シリサイドでも良いし、ポリサイドでも良い。

【0032】

【発明の効果】本発明は、低不純物濃度アノード領域の濃度を低くし、表面に不純物を高濃度にドープした多結晶シリコンの高不純物濃度アノード領域を形成することで、金属アノード電極との良好な接合を得ることができる。また、低不純物濃度ドレイン領域のキャリアライフトタイムが長いままでも、前記多結晶シリコンからの正孔の注入は殆ど起らぬため、正孔の注入量は少なく抑えられ、良好な高速スイッチング特性を得られる。さらに、低不純物濃度ドレイン領域のキャリアライフトタイムが長く、再結合中心が少ないと、アノード領域から注入された正孔は効率よく、伝導度変調に寄与するため、オン電圧も低くなり、低オン電圧特性と高速スイッチング特性を兼ね備えたIGBTを提供することができる。また、現状の気相成長法では量産不可能な低濃度で厚いドレイン領域が必要な高耐圧のIGBTについては、ドレイン領域をシリコン単結晶より切り出したウェーハで形成するため、濃度や厚さが自由に設計でき、さらに、製造が容易であり、その結果低コストでIGBTが形成できる。

【図面の簡単な説明】

- 【図1】本発明の第1の実施例のIGBTの断面図。
- 【図2】第1の実施例のIGBTの製造工程断面図。
- 【図3】第1の実施例のIGBTの製造工程断面図。
- 【図4】第1の実施例のIGBTの平面図。
- 【図5】第2の実施例のIGBTの製造工程断面図。
- 【図6】第2の実施例のIGBTの断面図。
- 【図7】第3の実施例のIGBTの断面図。
- 【図8】第4の実施例のIGBTの製造工程断面図。
- 【図9】第5の実施例のIGBTの断面図。
- 【図10】本発明のIGBTのオン電圧とスイッチングタイムのP-アノード領域の不純物濃度を変化させたときのトレードオフ曲線と従来例のIGBTのオン電圧と

15

スイッチングタイムのトレードオフ曲線を示す特性図。
【図1】本発明のIGBTのP-アノード領域を部分的に形成した場合にその面積を変化させたときのオン電圧とスイッチングタイムのトレードオフ曲線及び従来例のIGBTのオン電圧とスイッチングタイムのトレードオフ曲線を示す特性図。

【図2】従来例のIGBTの断面図。

【符号の説明】

1	半導体基板
2	半導体層
3	半導体基板の第1の主面
4	半導体基板の第2の主面
11	P-アノード領域

* 1 2

1 3
1 4
1 5
1 6
1 7
1 8
1 9
2 0
10 2 1
2 2、 2 3
2 4
* 2 5

16

N-ドレイン領域

P型ベース領域

N+ソース領域

ゲート酸化膜

多結晶シリコンゲート

金属ソース電極

金属ゲート電極

金属アノード電極

N+バッファ層

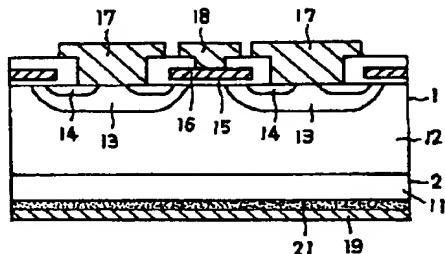
多結晶シリコンP+アノード領域

絶縁膜

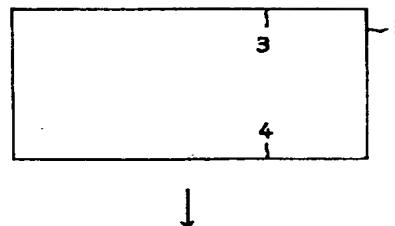
N-半導体基板

P-半導体基板

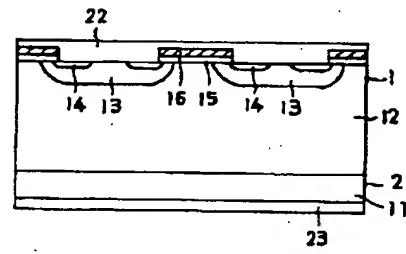
【図1】



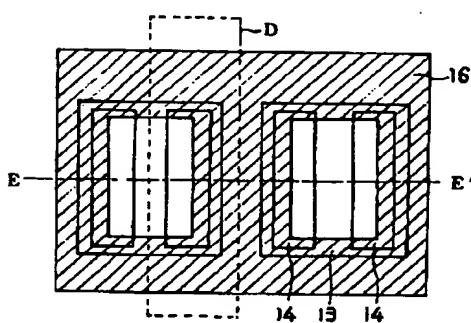
【図2】



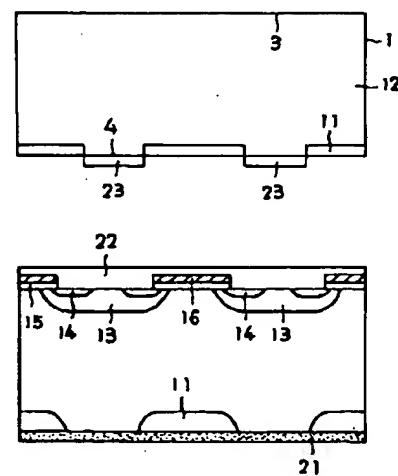
【図3】



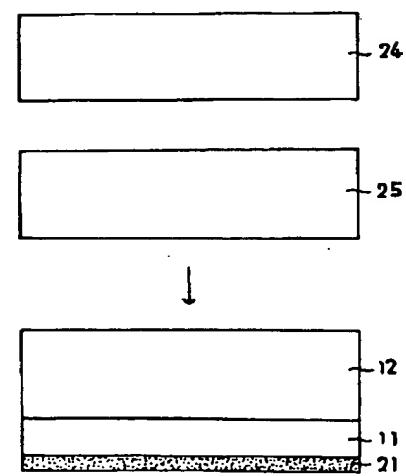
【図4】



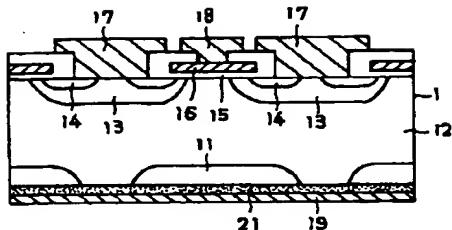
【図5】



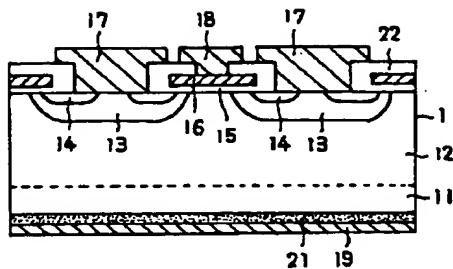
【図8】



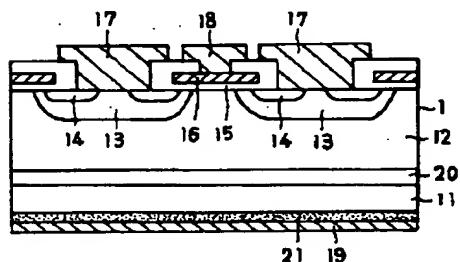
【図 6】



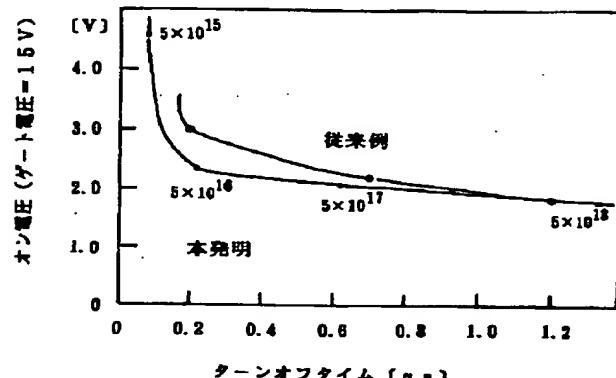
【図 7】



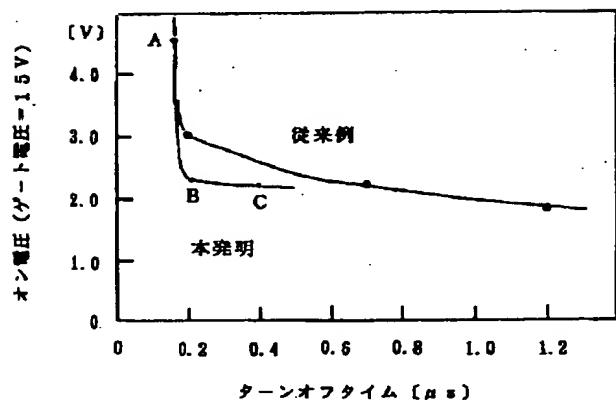
【図 9】



【図 10】



【図 11】



【図 12】

